

PAT-NO: JP402022880A  
DOCUMENT-IDENTIFIER: JP 02022880 A  
TITLE: SEMICONDUCTOR LIGHT-EMITTING ELEMENT  
AND MANUFACTURE  
PUBN-DATE: January 25, 1990

INVENTOR-INFORMATION:  
NAME  
TANAKA, KAZUHIRO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
FUJITSU LTD N/A

APPL-NO: JP63172431  
APPL-DATE: July 11, 1988

INT-CL (IPC): H01S003/18, H01L021/205  
US-CL-CURRENT: 372/43

ABSTRACT:

PURPOSE: To obtain a semiconductor light-emitting element which can be operated at high speed and which has been made flat after a filling and growth operation by a method wherein two grooves reaching a first clad layer are formed on both outer sides of a belt-like light-emitting region of an active layer, the upper part of a second clad layer at the outside of these grooves is made thin and a high-resistance semiconductor layer is grown epitaxially inside the grooves and on the second clad layer which has been made thin.

CONSTITUTION: A first clad layer 2 composed of n-type InP, an active layer 3 composed of InGaAsP, a second clad layer 4 composed of p-type InP and a contact layer 5 composed of InGaAsP are formed one after another on an n-type semiconductor substrate 1 composed of InP by using an epitaxial growth method; inverted mesa-shaped grooves 6, 7 with a depth reaching the first clad layer 2 are formed on both outer sides of a light-emitting region 30 of the active layer 3; in addition, the upper part of the second clad layer at the outside of the grooves 6, 7 is made thin. A high-resistance semiconductor layer 8 is grown by using a chloride VPE method inside the grooves 6, 7 and on the second clad layer 4 which has been made thin. Thereby, a buried layer on the second clad layer 4 and a buried layer of the grooves 6, 7 are formed to be flat.

COPYRIGHT: (C)1990, JPO&Japio

## ⑫ 公開特許公報(A) 平2-22880

⑤ Int. Cl.<sup>5</sup>  
H 01 S 3/18  
// H 01 L 21/205

識別記号 庁内整理番号  
7377-5F  
7739-5F

⑬ 公開 平成2年(1990)1月25日

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 半導体発光素子と製造方法

⑯ 特 願 昭63-172431

⑰ 出 願 昭63(1988)7月11日

⑱ 発 明 者 田 中 一 弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 岡本 啓三

## 明 細 書

## 1. 発明の名称

半導体発光素子と製造方法

## 2. 特許請求の範囲

(1) 半導体基板(1)上に、少なくとも第1のクラッド層(2)、活性層(3)、第2のクラッド層(4)、およびコンタクト層(5)を順に積層して形成した半導体発光素子において、

前記活性層(3)の帯状発光領域(30)の両外側に、少なくとも上記第1のクラッド層(2)に達する2つの溝(6、7)を設け、

さらに該溝(6、7)の外側に位置するコンタクト層(5)及び第2のクラッド層(4)の上部をエッチングして薄膜化し、

前記溝(6、7)内及び薄膜化した前記第2のクラッド層(4)の上に高抵抗半導体層(8)をエピタキシャル成長させたことを特徴とする半導体発光素子。

(2) 請求項1において、コンタクト層(5)上面から溝底部までの段差と、コンタクト層(5)上

面から薄膜化した第2のクラッド層上面との段差の関係を、溝が高抵抗半導体層(8)によって埋め込まれてコンタクト層(5)上面に達すると同時に薄膜化した第2クラッド層上に成長する高抵抗層半導体層(8)がコンタクト層上面に達するように構成したことを特徴とする半導体発光素子の製造方法。

## 3. 発明の詳細な説明

## (概要)

半導体発光素子に関し、

高速動作を可能にすることを目的とし、

半導体基板上に、少なくとも第1のクラッド層、活性層、第2のクラッド層、およびコンタクト層を順に積層して形成した半導体発光素子において、前記活性層の帯状発光領域の両外側に、少なくとも上記第1のクラッド層の底部に達する2つの溝を設け、さらに該溝の外側に位置するコンタクト層および第2のクラッド層の上部をエッチングして薄膜化し、前記溝内及び薄膜化した前記第2のクラッド層の上に高抵抗半導体をエピタキシャル

成長させて構成する。

(産業上の利用分野)

本発明は、半導体発光素子に関する。

(従来の技術)

半導体レーザ発光素子は、第4図に示すように基板40の上に第1のクラッド層41、第2のクラッド層43、コンタクト層44、半導体埋込み層50及びコンタクトホールを形成した絶縁層45を順に積層し、その基板40と絶縁層45の露出面に電極46、47を取付けたものが一般に使用されているが、電流閉込めに用いる埋込み層50と第1のクラッド層40の間のpn接合の寄生容量 $C_j$ が発生するといった問題があった。

このため、本出願人は特開昭61-21649において、半導体発光素子の活性層における発光領域48の両側に逆メサ形の溝49を設け、この溝48内に高抵抗半導体層52を埋め込むことにより寄生容量を低減する装置を提案した。(第5図参照)。

上記した課題は、半導体基板1上に、少なくとも第1のクラッド層2、活性層3、第2のクラッド層4、およびコンタクト層5を順に積層して形成した半導体発光素子において、前記活性層3の排状発光領域30の両外側に、少なくとも上記第1のクラッド層2に達する2つの溝6、7を設け、さらに該溝6、7の外側に位置する第2のクラッド層4の上部をエッチングして薄膜化し、前記溝6、7内及び薄膜化した前記第2のクラッド層4の上に高抵抗半導体層8をエピタキシャル成長させたことを特徴とする半導体発光素子により解決する。

(作用)

以上の構造で高抵抗半導体層の埋込み成長を行うと溝の外側の平坦部の成長速度が遅くとも、平坦部が溝底部よりも高い位置にあるため、埋込み成長が終了した時点で、溝部と平坦部での高抵抗半導体層が同じ高さとなり、全体として平坦な埋込み形状とすることができる。

(発明が解決しようとする課題)

しかし、この種の半導体レーザ素子においても、第5図に示すように、溝49の外側に位置する絶縁層45と活性層42が誘電体として作用するため、依然として寄生容量 $C_1$ 、 $C_2$ が残存しており、数G bit/sec以上の情報に対し、半導体レーザが追従しないといった問題がある。

これを改善するために、溝を形成せずに外側までエッチングし、高抵抗半導体層で埋め込んだ第6図の構造が考えられる。しかし、この構造では平坦な領域での高抵抗半導体層の成長が遅いため、図に示すような段差が生じ、電極プロセス、ボンディング等に不具合が生じるといった問題が生じる。

本発明は、このような問題に鑑みてなされたものであって、高速で作動でき、かつ埋込み成長後に平坦化されている半導体発光素子を提供することを目的とする。

(課題を解決するための手段)

この状態においては、一方の電極の下に形成した絶縁膜9と、さらに下方の活性層3の間に高抵抗半導体層8が存在するために、2つの電極間における寄生容量が大幅に低減することになる。

(実施例)

第1図は、本発明の一実施例を示す半導体発光素子の断面図で、図中符号1はインジウムリン(InP)よりなるn型化合物半導体基板で、その上には、n型InPよりなる第1のクラッド層2(厚さは例えば2~3 $\mu$ m、インジウムガリウムヒ素リン(InGaAsP)よりなる活性層3(~0.15 $\mu$ m)、p型InPよりなる第2のクラッド層4(~25 $\mu$ m)、P型インジウムガリウムヒ素リン(InGaAsP)よりなるコンタクト層5(~0.5 $\mu$ m)がそれぞれ順にエピタキシャル成長法により形成されていて、活性層3の発光領域30の両外側には逆メサ形の溝6、7が第1のクラッド層2に至る深さに形成され、さらにこれらの溝6、7の外側に存在する第2のクラッド層4

は上部が薄膜化されている。

8は、溝6、7内を埋め込むとともに、薄膜化された第2のクラッド層4上に積層される高抵抗半導体層で、例えばInPに鉄(Fe)をドーピングした高抵抗半導体からなり、気相エピタキシャル結晶成長法によってコンタクト層5と同一の高さに至るまで成長されている。

9は、高抵抗半導体層8上に形成した二酸化シリコン(SiO<sub>2</sub>)膜よりなる絶縁層で、この絶縁層9の上にはp側電極10が形成されていて、発光領域30と平行に形成した絶縁層9のコンタクトホール11を通してコンタクト層5と導通するように構成されている。

なお、図中符号12は、基板1に形成したn側電極を示している。

上述した実施例において、半導体発光素子の電極10、12間に電圧を加えると、活性層3の発光領域30に電流が流れ、この発光領域30の端部から光が放射する。

この状態においては、p側電極10の下に形成

例えば4μm)の溝6、7を形成する(第2図(b))。

次に、2つの溝6、7に挟まれた凸部24を覆う厚さにレジスト25を塗布した後(同図(c))、マスク26を使用して露光、現像を行い、凸部24の周りだけにレジスト25を残存させる(同図(d))。

ここで、フッ酸系の溶液を用いて溝6、7外方にあるSiO<sub>2</sub>膜21を除去する(同図(e))。そのあとで、凸部24を覆うレジスト25を除去する。次いで、Brエタノール液を用いて溝6、7をさらに深くエッチングする一方、溝6、7の外方方向にある第2のクラッド層4の上をエッチングしてその膜厚を薄くする(同図(f))。例えば、溝の深さは5μm、平坦部は1.5μmエッチングされるようにする。

次に、クロライド気相エピタキシャル結晶成長法(クロライドVPE法)により溝6、7内及び薄膜化された第2のクラッド層4上に高抵抗半導体26を成長させ、高抵抗半導体層8とする。

した絶縁膜9と、さらに下方の活性層3の間に高抵抗半導体層8が存在するために、2つの電極10、12間における寄生容量が大幅に低減することになる。

次に、上記した半導体発光素子の作成方法について説明する。

第2図は、本発明の半導体発光素子を作成する工程を示す断面図で、第2図(a)において、n-InP基板1上には、上記したような第1のクラッド層2、活性層3、第2のクラッド層4、コンタクト層5がエピタキシャル成長法により順に積層され、また、その上にはCVD法等により二酸化シリコン膜(SiO<sub>2</sub>膜)21が形成されている。

このSiO<sub>2</sub>膜21はフォトリソグラフィ法によりパターンニングされ、活性層発光領域30の上方に位置する領域を挟む帯状の窓22、23が設けられている。

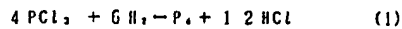
次に、基板1を臭素(Br)エタノール混合液に浸漬してコンタクト層5から下方方向に順にエッチングし、第2のクラッド層4上部に達する深さ(例

このクロライドVPE法は、第2図(g)に示すように、溝内での埋込み層の成長速度が大きく、溝6、7内に高抵抗半導体26を埋め込んだ後に、第2のクラッド層4上の埋込み層と溝6、7の埋込み層とを平坦に形成することができる。ただし、予めコンタクト層5の上面に対する第2のクラッド層4の深さと、溝6、7の深さとを調整しておく必要がある。

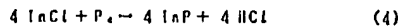
このクロライドVPE法により、高抵抗半導体26を形成する場合について、具体例をあげて詳細に説明すると次のようになる。

第3図において、800℃に加熱した反応管31にPCl<sub>3</sub>+H<sub>2</sub>のガスを送るとともに、その流路中に金属Inソース32を置く一方、その下流に基板1をソース下流に置き、基板1を600~700℃(典型値650℃)に設定すると、PCl<sub>3</sub>は高温でP<sub>2</sub>及びHClに分解し、Pの一部がInソースに吸収され、Inソース32はInPクラスト(外皮)になる。HClはInPソースと反応してInClを生成する。

これらを反応式で書くと以下のようなになる。



そして、成長領域で温度が下がり、次のようなソース領域と逆の反応により基板InPが析出する。



鉄(Fe)をInP中にドーピングする場合には、反応槽31内にHClガスを供給し、その流路中にFeソース33を置いて反応させ、FeCl<sub>2</sub>にして基板1に供給すると、溝6、7や第2のクラッド層4上に形成するInPにFeがドーピングされて高抵抗半導体層になる。

第2図(h)に示すように、高抵抗半導体層26を平坦化する場合の一例をあげると、溝6、7の深さを5μm、第2のクラッド層4の深さをコンタクト層5に対して1.5μmとなし、エピタキシャル成長温度600℃、キャリアガス(H<sub>2</sub>)に対するリン(P)のモル比を3.3×10<sup>-2</sup>とすればよい。

以上のような工程を行った後、マスクに用いたSiO<sub>2</sub>膜を除去後、基板1のコンタクト層5側に酸

化膜(SiO<sub>2</sub>膜)27を形成するとともに、レジストマスク28を使用して活性層3の発光領域30と平行になるように帯状のコンタクトホール11を形成する(第2図(i),(j),(k))。そして、レジスト28を除去した後、SiO<sub>2</sub>膜27を絶縁膜9として使用する。

最後に、基板1、絶縁膜9の露出面に電極10、12を蒸着法等により形成するが、絶縁膜9側の電極10としては、例えばチタン、白金、金を順に設けた三層構造のものを使用し、また基板1側の電極12としては、例えば金/ゲルマニウム合金、金を順に形成したものを使用する。

以上のようにして形成した発光素子における電極10、12間の寄生容量を測定した結果、300×300μm当たり3pFとなり、単に溝6、7に高抵抗半導体を埋めこんで10pFとした従来のものよりも寄生抵抗が低くなったことがわかる。

なお、上述した実施例では、高抵抗半導体の形成にクロライドVPE法を用いたが、ハイドライド系のガス(PH<sub>3</sub>+HCl)を使用するハイドライド

気相成長法、その他のハライド系気相エピタキシャル結晶成長法を用いることもできる。

#### (発明の効果)

以上述べたように本発明によれば、発光素子の発光領域の両側に形成した溝に高抵抗半導体層を形成するとともに、この溝の外方にあるコンタクト層及びその下のクラッド層5の一部を除去し、これらの上に高抵抗半導体層を形成したので、素子の光特性に影響を与えず、かつ埋込み成長後の形状を平坦に保ったまま、寄生容量を低減して高速動作を行うことができる。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例を示す装置の断面図、

第2図は、本発明装置の作成工程の一例を示す断面図、

第3図は、クロライド成長装置の一例を示す概略図、

第4図は、第1の従来例を示す装置の断面図、

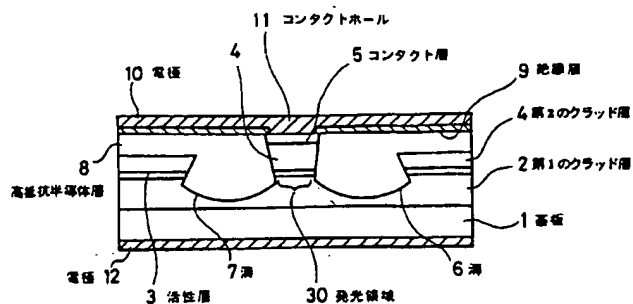
第5図は、第2の従来例を示す装置の断面図、

第6図は、従来例を改善するための装置の断面図である。

#### (符号の説明)

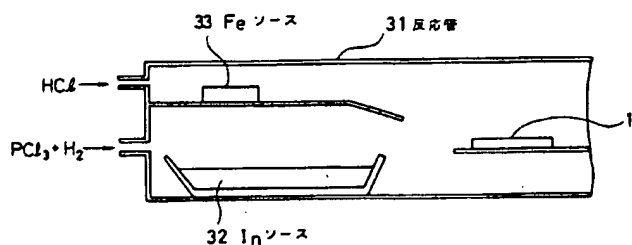
- 1…基板、
- 2…第1のクラッド層、
- 3…活性層、
- 4…第2のクラッド層、
- 5…コンタクト層、
- 6、7…溝、
- 8…高抵抗半導体層、
- 9…絶縁層、
- 10、12…電極、
- 11…コンタクトホール。

代理人弁理士 岡本啓三



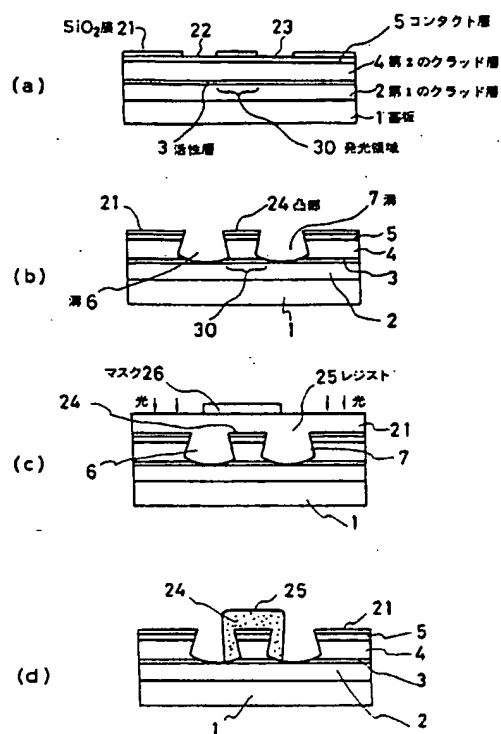
本発明の一実施例を示す装置の断面図

第 1 図



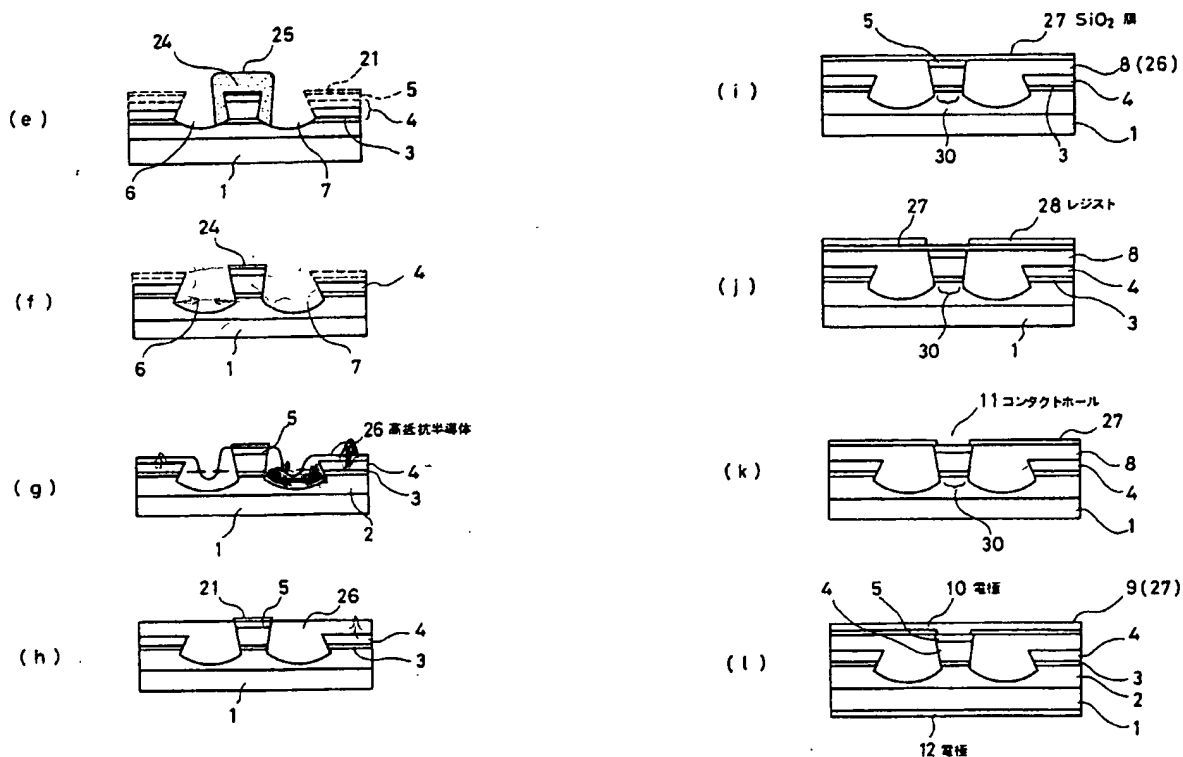
クロライド成長装置の一例を示す概略図

第 3 図



本発明装置の作成工程の一例を示す断面図

第 2 図 (その 1)

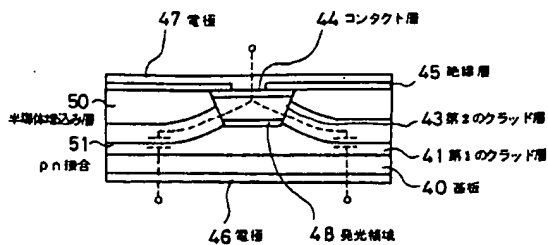


本発明装置の作成工程の一例を示す断面図

第 2 図 (その 2)

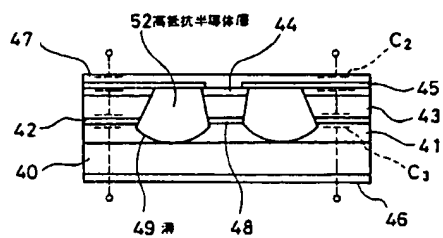
本発明装置の作成工程の一例を示す断面図

第 2 図 (その 3)



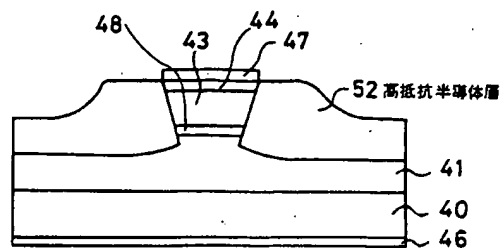
第1の従来例を示す装置の断面図

第4図



第2の従来例を示す装置の断面図

第5図



従来例を改善するための装置の断面図

第6図